

JAPANESE [JP,10-125904,A]

CLAIMS DETAILED DESCRIPTION TECHNICAL FIELD PRIOR ART TECHNICAL PROBLEM MEANS  
DESCRIPTION OF DRAWINGS DRAWINGS

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] A silicon-carbide semiconductor device which is equipped with the following and characterized by to be set up so that physical relationship of the depth direction of A and C may become  $A < C$  when a location where a gate thermal oxidation film formed in a flank of A and said trench in a boundary location of said high resistance semiconductor layer and semiconductor layer of said 2nd conductivity type and a gate thermal oxidation film formed in a pars basilaris ossis occipitalis of said trench touch is set to C. A semiconductor substrate with which the laminating of a low resistance semiconductor layer of the 1st conductivity type, a high resistance semiconductor layer of the 1st conductivity type, and the semiconductor layer of the 2nd conductivity type is carried out one by one, and field bearing on the surface of main of a semiconductor layer of said 2nd conductivity type consists of single crystal silicon carbide of hexagonal system which is an abbreviation (0001-) carbon side A semiconductor region of the 1st conductivity type formed in a predetermined field of the surface of a semiconductor layer of said 2nd conductivity type A trench which penetrates a semiconductor layer of said semiconductor region and said 2nd conductivity type from said main surface, reaches said high resistance semiconductor layer, and has a flank and a pars basilaris ossis occipitalis It is formed in a flank and a pars basilaris ossis occipitalis of said trench, and compares with thickness in a flank of said trench. A gate thermal oxidation film with the thicker thickness in a pars basilaris ossis occipitalis of said trench, A gate electrode layer formed inside said gate thermal oxidation film in said trench, an electrode layer of the 2nd conductivity type formed on some surfaces of said semiconductor region at least while on said surface of main, and the 2nd electrode layer formed in a rear-face side of said semiconductor substrate

[Claim 2] A gate thermal oxidation film formed in a pars basilaris ossis occipitalis of said trench is a silicon carbide semiconductor device according to claim 1 characterized by being set up so that physical relationship of the depth direction of A, B, and C may become  $A < B < C$  when a crookedness configuration is carried out and the crookedness location is set to B.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention can especially be used as an insulated gate field effect transistor, a vertical mold MOSFET for large power, etc., concerning a silicon carbide semiconductor device.

[0002]

[Description of the Prior Art] Conventionally, what used the silicon carbide (henceforth SiC) semiconductor device for the SiC power metal-oxide semiconductor field effect transistor of a trench gate mold is indicated by JP,7-326755,A or JP,8-70124,A. This SiC power metal-oxide semiconductor field effect transistor has the property which was [ pressure-proofing / low on resistance, / high ] excellent. The cross-section configuration is shown in drawing 9 (a).

[0003] n<sup>+</sup> of the hexagonal system whose field bearing of the surface is a carbon (0001-) side On the semiconductor substrate 1 (low resistance semiconductor layer) of the mold single crystal SiC, it is n. - The laminating of the mold epitaxial layer (high resistance semiconductor layer) 2 and the p mold epitaxial layer 3 is carried out one by one. In the predetermined field in the surface 4 of p mold epitaxial layer 3, it is n<sup>+</sup> as a semiconductor region. The source field 5 is formed. Moreover, the trench (slot) 6 is formed in the predetermined location of the surface 4 of p mold epitaxial layer 3. This trench 6 is n<sup>+</sup>. The source field 5 and p mold epitaxial layer 3 are penetrated, and it is n. - The mold epitaxial layer 2 is reached and it has side 6a perpendicular to the surface of p mold epitaxial layer 3, and base 6b parallel to the surface of p mold epitaxial layer-3.

[0004] Inside the trench 6, the gate electrode layer 8 is arranged through the gate thermal oxidation film 7. The gate thermal oxidation film 7 is thin gate thermal oxidation film 7a formed in side 6a of a trench 6, and base 6b and n<sup>+</sup> of a trench 6. It consists of thick gate thermal oxidation films 7b and 7c formed on the source field 5. Thus, the carbon (0001-) side of hexagonal system of the gate oxidation thickness of side 6a of a trench 6 and base 6b differing is because thermal oxidation speed is large compared with other fields

[0005] In addition, pressure-proofing between gate drains can be made high (more than 500V [ for example, ]), parasitic capacitance can be reduced, and high-speed operation can be made to perform by being able to make threshold voltage low (for example, 2V), and thickening gate thermal oxidation film 7 of base 6b of trench 6 b by making thin gate thermal oxidation film 7 of side 6a of trench 6 a. Moreover, the gate electrode layer 8 consists of 1st polish recon layer 8a and 2nd polish recon layer 8b by which Lynn was doped. The interlayer insulation film 9 is arranged on the gate electrode layer 8. Furthermore, n<sup>+</sup> including an interlayer insulation film 9 top In the surface of the source field 5, and the surface of p mold epitaxial layer 3, the source electrode layer 10 as 1st electrode layer is arranged, and this source electrode layer 10 is n<sup>+</sup>. It is in contact with both the source field 5 and p mold epitaxial layer 3.

[0006] Moreover, the drain electrode layer 11 as 2nd electrode layer which touches the SiC substrate 1 is formed in the rear face of the SiC substrate 1. In the above-mentioned configuration, the surface of p mold epitaxial layer 3 in side 6a of a trench 6 serves as a channel, and if positive voltage is impressed to the gate electrode 8 and a channel is formed, current will flow between source drains.

[0007]

[Problem(s) to be Solved by the Invention] However, in the technology of an indication, sufficient examination is not performed in the above-mentioned official report about the concrete configuration in a channel formation portion. Since thin gate thermal oxidation film 7a and thick gate thermal oxidation film 7b are formed in a trench 6 when this point is examined wholeheartedly, as this invention person etc. shows in the enlarged view of the channel portion of drawing 9 (b), thick gate thermal oxidation film 7b becomes the crooked configuration. Here, they are p mold epitaxial layer 3 and n. - When the location where B, and thin gate thermal oxidation film 7a and thick gate thermal oxidation film 7b touch the crookedness location of A and thick gate thermal oxidation film 7b in the boundary location of the mold epitaxial layer 2 is set to C, If the thickness of p mold epitaxial layer 3, the depth of a trench 6, and the thickness of thick gate thermal oxidation film 7b are set up so that the physical relationship of the depth direction may become A>C n - Since hot gate thermal oxidation film 7b was formed on channel outlet field 2a of the mold epitaxial layer 2, it became clear that an electron was not enough accumulated in channel outlet field 2a at the time of channel formation, are recording resistance became large, consequently on resistance became large.

[0008] Therefore, this invention aims at reducing on resistance in the SiC semiconductor device mentioned above.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, it sets to invention according to claim 1. When a location where a gate thermal oxidation film formed in a flank of A and a trench and a gate thermal oxidation film formed in a pars basilaris ossis occipitalis of a trench touch a boundary location of a high resistance semiconductor layer and a semiconductor layer of the 2nd conductivity type is set to C, it is characterized by setting up so that physical relationship of the depth direction of A and C may become  $A < C$ .

[0010] Therefore, since a thin gate thermal oxidation film formed in a flank of a trench is formed on a channel outlet field of a semiconductor substrate, an electron is enough accumulated in a channel outlet field at the time of channel formation. Therefore, are recording resistance becomes small and can make on resistance small. Moreover, when a crookedness location of a thick gate thermal oxidation film formed in a pars basilaris ossis occipitalis of a trench is set to B like invention according to claim 2, it is characterized by setting up so that physical relationship of the depth direction of A, B, and C may become  $A < B < C$ .

[0011] In this case, since a field in which a thin gate thermal oxidation film is formed on a channel outlet field becomes large, an accumulated dose of an electron in that channel outlet field becomes large, and on resistance can be reduced more.

[0012]

[Embodiment of the Invention] Hereafter, the operation gestalt which shows this invention in drawing is explained. The cross section of the SiC power metal-oxide semiconductor field effect transistor which starts this operation gestalt at drawing 1 (a) is shown. The fundamental configuration is the same as what is shown to drawing 9 (a) that drawing shows. However, in this operation gestalt, as shown in the enlarged view of the channel portion of drawing 1 (b), the thickness of p mold epitaxial layer 3, the depth of a trench 6, and the thickness of thick gate thermal oxidation film 7b are set up so that the physical relationship of the depth direction of A, B, and C may become  $A < B < C$ .

[0013] By making it such a setup, it is n-. Since thin gate thermal oxidation film 7a is formed on channel outlet field 2a of the mold epitaxial layer 2 and an electron is enough accumulated in channel outlet field 2a at the time of channel formation, are recording resistance becomes small, consequently on resistance becomes small. Next, the manufacturing process of the above-mentioned trench gate mold power metal-oxide semiconductor field effect transistor is explained to details using drawing 2 - drawing 8.

[0014] First, n+ of the low resistance whose field bearing of the surface is a carbon (0001-) side as shown in drawing 2 The semiconductor substrate 1 of the mold single crystal SiC is prepared. And n whose thickness carrier density is 3-4 micrometers on the surface about  $[1 \times 10^{16} \text{cm}^{-2}]$  three - The laminating of the mold epitaxial layer 2 and the p mold epitaxial layer 3 whose thickness carrier density is 2 micrometers about  $[1 \times 10^{17} \text{cm}^{-2}]$  in three is carried out one by one. Thus, the semiconductor substrate 1, n - The SiC substrate 100 which consists of a mold epitaxial layer 2 and a p mold epitaxial layer 3 is constituted. In this case, since about 3.5 degrees - 8 degrees of crystallographics axis of the semiconductor substrate 1 are leaned to the shaft perpendicular to the surface of the SiC substrate 100, field bearing on the surface of main of p mold epitaxial layer 3 serves as an abbreviation (0001-) carbon side.

[0015] Then, n+ whose cementation depth surface carrier concentration is 0.5 micrometers about  $[1 \times 10^{19} \text{cm}^{-2}]$  in three by ion-implantation using the mask material 12 to p mold epitaxial layer 3 as shown in drawing 3 The source field 5 is formed. next, after removing the mask material 12, it is shown in drawing 4 -- as -- the mask material 13 -- using -- reactive ion etching (RIE) -- law -- n+ the source field 5 and p mold epitaxial layer 3 -- penetrating -- n- The trench 6 with a depth of 2.7 micrometers which reaches the mold epitaxial layer 2 is formed. This trench 6 has side 6a perpendicular to the surface of p mold epitaxial layer 3, and base 6b parallel to the surface of p mold epitaxial layer 3.

[0016] Then, as shown in drawing 5, the thermal oxidation film 15 as a sacrifice oxide film is formed in a trench wall the thermal oxidation production process of about 5 hours at 1100 degrees C by the oxidizing thermally ] method. By this thermal oxidation, the damage layer of the trench wall formed by the RIE method oxidizes. In addition, the thermal oxidation film 15 becomes 500nm in thickness by side 6a of a trench 6 at base 6b of 50nm in thickness, and a trench 6.

[0017] And as shown in drawing 6, after fluoric acid removes this thermal oxidation film 15, the mask material 13 is removed. The damage layer of a trench wall is removed by removing this thermal oxidation film 15. Next, as shown in drawing 7, thick gate thermal oxidation film 7b whose thickness located in thin gate thermal oxidation film 7a which forms the gate thermal oxidation film 7 according to the thermal oxidation production process of the once of about 5 hours at 1100 degrees C, and whose thickness located in side 6a of a trench 6 by this thermal oxidation is 50nm, and base 6b of a trench 6 by the oxidizing [ thermally ] method is 500nm is formed. Furthermore, n+ On the source field 5, thick gate thermal oxidation film 7c whose thickness is 500nm is formed.

[0018] Since the depth of 2 micrometers and a trench 6 is [ the thickness of 2.7 micrometers and thick gate thermal oxidation film 7b ] 500nm here for the thickness of p mold epitaxial layer 3, p mold epitaxial layer 3 and n - The physical relationship of the depth direction of the location C where the boundary location A of the mold epitaxial layer 2, the crookedness location B of thick gate thermal oxidation film 7b, thin gate thermal oxidation film 7a, and thick gate thermal oxidation film 7b touch becomes  $A < B < C$ .

[0019] Then, as shown in drawing 8, the inside of a trench 6 is returned one by one by the 1st and 2nd polish recon layers 8a and 8b. Then, the layer insulation layer 9 is formed with a CVD method on the gate thermal oxidation film 7 including 1st and 2nd polish recon layer 8a and 8b top, and n+ source field 5 of a source contact predetermined position, the gate thermal oxidation film 7 on the surface of p mold epitaxial layer 3, and the layer insulation layer 9 are removed. And n+ It is n+ while forming the source electrode layer 10 on the source field 5, p mold epitaxial layer 3, and the layer insulation layer 9. The drain electrode layer

11 is formed in the rear face of the mold single crystal SiC substrate 1, and the SiC power metal-oxide semiconductor field effect transistor shown in drawing 1 (a) is completed.

[0020] According to the above-mentioned manufacture method, since sacrifice oxidation has removed the damage layer in a trench 6, it becomes the structure where there is no damage layer in the wall of a trench 6, and the corner section of the pars basilaris ossis occipitalis of a trench 6 was rounded. Therefore, since the surface of p mold epitaxial layer 3 serves as a channel, and the MOS interface property at the time of current flowing between source drains can be improved and the corner section of the pars basilaris ossis occipitalis of a trench 6 is rounded, pressure-proofing between gate drains can be made high.

[0021] In addition, although what manufactures vertical mold power metal-oxide semiconductor field effect transistor, without performing the above-mentioned sacrifice oxidation to JP,7-326755,A is indicated, if the above-mentioned relation of  $A < B < C$  is filled even if it is such a manufacture method, the effect same with having described above can be acquired. Moreover, although the physical relationship of the depth direction of A and B may be not  $A < B$  but  $A > B$ , since the field in which gate thermal oxidation film where to consider as  $A < B$  is thinner 7on channel outlet field 2a a is formed becomes large, the accumulated dose of the electron in the field 2a becomes large, and it can reduce on resistance more.

[0022] Moreover, the side of a trench 6 may change the conditions of not only a perpendicular thing but the RIE method to the semiconductor surface, and may have whenever [ desired tilt-angle ] to the side of a trench 6. In addition, in this specification, when it expresses field bearing of the single crystal SiC of hexagonal system, properly speaking, the expression which attached the bar on the necessary numeric character should be taken, but since an expression means has constraint, "-" is attached and expressed behind a required-number character instead of the expression which attaches a bar on a necessary numeric character.

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the cross section of vertical mold power metal-oxide semiconductor field effect transistor showing 1 operation gestalt of this invention.

[Drawing 2] It is a cross section for explaining the manufacturing process of the vertical mold power metal-oxide semiconductor field effect transistor shown in drawing 1 .

[Drawing 3] It is a cross section for explaining the manufacturing process following drawing 2 .

[Drawing 4] It is a cross section for explaining the manufacturing process following drawing 3 .

[Drawing 5] It is a cross section for explaining the manufacturing process following drawing 4 .

[Drawing 6] It is a cross section for explaining the manufacturing process following drawing 5 .

[Drawing 7] It is a cross section for explaining the manufacturing process following drawing 6 .

[Drawing 8] It is a cross section for explaining the manufacturing process following drawing 7 .

[Drawing 9] It is the cross section of the conventional vertical mold power metal-oxide semiconductor field effect transistor.

[Description of Notations]

1 -- The semiconductor substrate as a low resistance semiconductor layer, 2 -- n as a high resistance semiconductor layer - Mold epitaxial layer, 3 -- p mold epitaxial layer as a semiconductor layer of the 2nd conductivity type, 5 -- n+ as a semiconductor region Source field, 6 [ -- A gate thermal oxidation film 8 / -- A gate electrode layer, 10 / -- The source electrode layer as 1st electrode layer, 11 / -- The drain electrode layer as 2nd electrode layer, 100 / -- SiC substrate. ] -- A trench, 6a -- The side (flank), 6b -- A base (pars basilaris ossis occipitalis), 7

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the cross section of vertical mold power metal-oxide semiconductor field effect transistor showing 1 operation gestalt of this invention.

[Drawing 2] It is a cross section for explaining the manufacturing process of the vertical mold power metal-oxide semiconductor field effect transistor shown in drawing 1 .

[Drawing 3] It is a cross section for explaining the manufacturing process following drawing 2 .

[Drawing 4] It is a cross section for explaining the manufacturing process following drawing 3 .

[Drawing 5] It is a cross section for explaining the manufacturing process following drawing 4 .

[Drawing 6] It is a cross section for explaining the manufacturing process following drawing 5 .

[Drawing 7] It is a cross section for explaining the manufacturing process following drawing 6 .

[Drawing 8] It is a cross section for explaining the manufacturing process following drawing 7 .

[Drawing 9] It is the cross section of the conventional vertical mold power metal-oxide semiconductor field effect transistor.

[Description of Notations]

1 -- The semiconductor substrate as a low resistance semiconductor layer, 2 -- n as a high resistance semiconductor layer - Mold epitaxial layer, 3 -- p mold epitaxial layer as a semiconductor layer of the 2nd conductivity type, 5 -- n+ as a semiconductor region Source field, 6 [ -- A gate thermal oxidation film 8 / -- A gate electrode layer, 10 / -- The source electrode layer as 1st electrode layer, 11 / -- The drain electrode layer as 2nd electrode layer, 100 / -- SiC substrate. ] -- A trench, 6a -- The side (flank), 6b -- A base (pars basilaris-ossis occipitalis), 7 - - - - -

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-125904

(43)公開日 平成10年(1998) 5月15日

(51)Int.Cl.<sup>6</sup>

H 0 1 L 29/78  
29/16

識別記号

F I

H 0 1 L 29/78  
29/16  
29/78

6 5 3 C

6 5 2 T

審査請求 未請求 請求項の数 2 O L (全 6 頁)

(21)出願番号 特願平8-275128

(22)出願日 平成8年(1996)10月17日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 片岡 光浩

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72)発明者 鈴木 幸昌

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

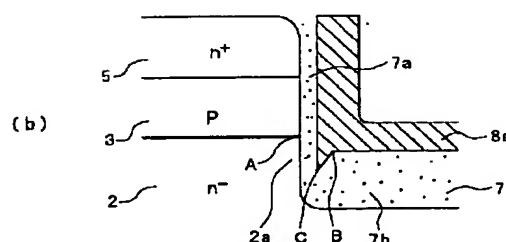
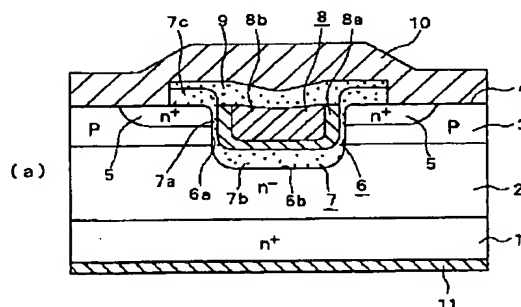
(74)代理人 弁理士 伊藤 洋二

(54)【発明の名称】 炭化珪素半導体装置

(57)【要約】

【課題】 トレンチゲート型SiCパワーMOSFETにおいてオン抵抗を低減する。

【解決手段】  $n^+$ 型単結晶SiC基板1は、六方晶系SiC(0001-)カーボン面を表面とし、基板1上に $n^-$ 型エピタキシャル層2とp型エピタキシャル層3が積層されている。p型エピタキシャル層3内に $n^+$ ソース領域5が形成され、この $n^+$ ソース領域5とp型エピタキシャル層3を貫通して $n^-$ 型エピタキシャル層2に達するトレンチ6が形成されている。トレンチ6内には、薄いゲート熱酸化膜7aと厚いゲート熱酸化膜7bが形成され、その上にゲート電極層8が形成されている。ここで、図1(b)に示すA、B、Cの深さ方向の位置関係を $A < B < C$ にすることにより、チャネル形成時に、 $n^-$ 型エピタキシャル層2のチャネル出口領域2aに電子が十分蓄積され、オン抵抗が小さくなる。





## 【特許請求の範囲】

【請求項1】 第1導電型の低抵抗半導体層と第1導電型の高抵抗半導体層と第2導電型の半導体層とが順次積層され、かつ前記第2導電型の半導体層の主表面の面方位が略(0001-)カーボン面である六方晶系の単結晶炭化珪素よりなる半導体基板と、  
前記第2導電型の半導体層の表面の所定領域に形成された第1導電型の半導体領域と、  
前記主表面から前記半導体領域と前記第2導電型の半導体層を貫通して前記高抵抗半導体層に達し、側部および底部を有するトレンチと、  
前記トレンチの側部および底部に形成され、かつ前記トレンチの側部での膜厚に比べ前記トレンチの底部での膜厚の方が厚いゲート熱酸化膜と、  
前記トレンチ内における前記ゲート熱酸化膜の内側に形成されたゲート電極層と、  
前記主表面のうち少なくとも前記半導体領域の一部の表面上に形成された第2導電型の電極層と、  
前記半導体基板の裏面側に形成された第2の電極層とを備え、  
前記高抵抗半導体層と前記第2導電型の半導体層の境界位置をA、前記トレンチの側部に形成されたゲート熱酸化膜と前記トレンチの底部に形成されたゲート熱酸化膜とが接する位置をCとしたとき、A、Cの深さ方向の位置関係がA<Cになるように設定されていることを特徴とする炭化珪素半導体装置。

【請求項2】 前記トレンチの底部に形成されたゲート熱酸化膜は屈曲形状をしており、その屈曲位置をBとしたとき、A、B、Cの深さ方向の位置関係がA<B<Cになるように設定されていることを特徴とする請求項1に記載の炭化珪素半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、炭化珪素半導体装置に関し、例えば、絶縁ゲート型電界効果トランジスタ、とりわけ大電力用の縦型MOSFET等として用いることができるものである。

## 【0002】

【従来の技術】従来、炭化珪素(以下、SiCという)半導体装置をトレンチゲート型のSiCパワーMOSFETに用いたものが、特開平7-326755号公報、あるいは特開平8-70124号公報に開示されている。このSiCパワーMOSFETは、低オン抵抗、高耐圧等の優れた特性を有するものである。図9(a)に、その断面構成を示す。

【0003】表面の面方位が(0001-)カーボン面である六方晶系のn<sup>+</sup>型単結晶SiCの半導体基板1(低抵抗半導体層)の上に、n<sup>-</sup>型エピタキシャル層(高抵抗半導体層)2とp型エピタキシャル層3が順次積層されている。p型エピタキシャル層3の表面4にお

ける所定領域には、半導体領域としてのn<sup>+</sup>ソース領域5が形成されている。また、p型エピタキシャル層3の表面4の所定位置にトレンチ(溝)6が形成されている。このトレンチ6は、n<sup>+</sup>ソース領域5とp型エピタキシャル層3を貫通してn<sup>-</sup>型エピタキシャル層2に達し、p型エピタキシャル層3の表面に垂直な側面6aおよびp型エピタキシャル層3の表面に平行な底面6bを有する。

【0004】トレンチ6の内部には、ゲート熱酸化膜7を介してゲート電極層8が配置されている。ゲート熱酸化膜7は、トレンチ6の側面6aに形成される薄いゲート熱酸化膜7aと、トレンチ6の底面6bおよびn<sup>+</sup>ソース領域5上に形成される厚いゲート熱酸化膜7b、7cからなる。このようにトレンチ6の側面6aと底面6bのゲート酸化膜厚が異なるのは、六方晶系の(0001-)カーボン面は、他の面に比べて熱酸化速度が大きいためである。

【0005】なお、トレンチ6の側面6aのゲート熱酸化膜7aを薄くすることによって、しきい値電圧を低くでき(例えば2V)、トレンチ6の底面6bのゲート熱酸化膜7bを厚くすることによって、ゲート・ドレイン間の耐圧を高く(例えば500V以上)し寄生容量を低減して高速動作を行わせることができる。また、ゲート電極層8は、リンがドーパされた第1のポリシリコン層8aと第2のポリシリコン層8bからなる。ゲート電極層8上には、層間絶縁膜9が配置されている。さらに、層間絶縁膜9上を含めたn<sup>+</sup>ソース領域5の表面およびp型エピタキシャル層3の表面には、第1の電極層としてのソース電極層10が配置され、このソース電極層10はn<sup>+</sup>ソース領域5とp型エピタキシャル層3に共に接している。

【0006】また、SiC基板1の裏面には、SiC基板1に接する第2の電極層としてのドレイン電極層11が設けられている。上記構成において、トレンチ6の側面6aでのp型エピタキシャル層3の表面がチャネルとなっており、ゲート電極8に正電圧が印加されてチャネルが形成されると、ソース・ドレイン間に電流が流れる。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記公報に開示の技術においては、チャネル形成部分での具体的構成について十分な検討が行われていない。本発明者等は、この点について鋭意検討を行ったところ、トレンチ6内には薄いゲート熱酸化膜7aと厚いゲート熱酸化膜7bが形成されるため、図9(b)のチャネル部分の拡大図に示すように、厚いゲート熱酸化膜7bは、屈曲した形状になる。ここで、p型エピタキシャル層3とn<sup>-</sup>型エピタキシャル層2の境界位置をA、厚いゲート熱酸化膜7bの屈曲位置をB、薄いゲート熱酸化膜7aと厚いゲート熱酸化膜7bとが接する位置をCとしたと

き、深さ方向の位置関係が $A > C$ になるように、p型エビタキシャル層3の厚さ、トレンチ6の深さ、厚いゲート熱酸化膜7bの膜厚が設定されると、n<sup>-</sup>型エビタキシャル層2のチャネル出口領域2aの上には熱いゲート熱酸化膜7bが形成されるため、チャネル形成時にチャネル出口領域2aに電子が十分蓄積されず、蓄積抵抗が大きくなり、その結果、オン抵抗が大きくなってしまふことが判明した。

【0008】従って、本発明は、上述したSiC半導体装置においてオン抵抗を低減することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明においては、高抵抗半導体層と第2導電型の半導体層の境界位置をA、トレンチの側部に形成されたゲート熱酸化膜とトレンチの底部に形成されたゲート熱酸化膜とが接する位置をCとしたとき、A、Cの深さ方向の位置関係が $A < C$ になるように設定したことを特徴としている。

【0010】従って、半導体基板のチャネル出口領域上に、トレンチの側部に形成された薄いゲート熱酸化膜が形成されるため、チャネル形成時にチャネル出口領域に電子が十分蓄積される。従って、蓄積抵抗が小さくなり、オン抵抗を小さくすることができる。また、請求項2に記載の発明のように、トレンチの底部に形成された厚いゲート熱酸化膜の屈曲位置をBとしたとき、A、B、Cの深さ方向の位置関係が $A < B < C$ になるように設定したことを特徴としている。

【0011】この場合、チャネル出口領域上で薄いゲート熱酸化膜が形成される領域が大きくなるため、そのチャネル出口領域での電子の蓄積量が大きくなり、オン抵抗をより低減することができる。

【0012】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。図1(a)に、本実施形態に係るSiCパワーMOSFETの断面図を示す。その基本的な構成は、図から分かるように図9(a)に示すものと同じである。しかしながら、本実施形態においては、図1(b)のチャネル部分の拡大図に示すように、A、B、Cの深さ方向の位置関係が $A < B < C$ になるように、p型エビタキシャル層3の厚さ、トレンチ6の深さ、厚いゲート熱酸化膜7bの膜厚が設定されている。

【0013】このような設定にすることにより、n<sup>-</sup>型エビタキシャル層2のチャネル出口領域2a上に薄いゲート熱酸化膜7aが形成され、チャネル形成時にチャネル出口領域2aに電子が十分蓄積されるため、蓄積抵抗が小さくなり、その結果、オン抵抗が小さくなる。次に、上記したトレンチゲート型パワーMOSFETの製造工程を、図2～図8を用いて、詳細に説明する。

【0014】まず、図2に示すように、表面の面方位が(0001-)カーボン面である低抵抗のn<sup>+</sup>型単結晶

SiCの半導体基板1を用意する。そして、その表面に、キャリア密度が $1 \times 10^{18} \text{ cm}^{-3}$ 程度で厚さが3～4μmのn<sup>-</sup>型エビタキシャル層2と、キャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度で厚さが2μmのp型エビタキシャル層3を順次積層する。このようにして、半導体基板1、n<sup>-</sup>型エビタキシャル層2、p型エビタキシャル層3とからなるSiC基板100を構成する。この場合、半導体基板1の結晶軸を、SiC基板100の表面に垂直な軸に対し約3.5°～8°傾けてあるため、p型エビタキシャル層3の主表面の面方位は、略(0001-)カーボン面となる。

【0015】続いて、図3に示すように、p型エビタキシャル層3に対しマスク材12を用いてイオン注入法により表面のキャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度で接合深さが0.5μmのn<sup>+</sup>ソース領域5を形成する。次に、マスク材12を除去した後、図4に示すように、マスク材13を用いて反応性イオンエッチング(RIE)法により、n<sup>+</sup>ソース領域5とp型エビタキシャル層3を貫通しn<sup>-</sup>型エビタキシャル層2に達する深さ2.7μmのトレンチ6を形成する。このトレンチ6は、p型エビタキシャル層3の表面に垂直な側面6aおよびp型エビタキシャル層3の表面に平行な底面6bを有する。

【0016】この後、図5に示すように、熱酸化法によりトレンチ内壁に犠牲酸化膜としての熱酸化膜15を1100℃で5時間程度の熱酸化工程により形成する。この熱酸化により、RIE法で形成されたトレンチ内壁のダメージ層が酸化される。なお、熱酸化膜15は、トレンチ6の側面6aで厚さ50nm、トレンチ6の底面6bに厚さ500nmになる。

【0017】そして、図6に示すように、この熱酸化膜15を弗酸により除去した後、マスク材13を除去する。この熱酸化膜15を除去することにより、トレンチ内壁のダメージ層を除去する。次に、図7に示すように、熱酸化法によりゲート熱酸化膜7を1100℃で5時間程度の一度の熱酸化工程により形成する、この熱酸化によりトレンチ6の側面6aに位置する厚さが50nmの薄いゲート熱酸化膜7aと、トレンチ6の底面6bに位置する厚さが500nmの厚いゲート熱酸化膜7bが形成される。さらに、n<sup>+</sup>ソース領域5上には厚さが500nmの厚いゲート熱酸化膜7cが形成される。

【0018】ここで、p型エビタキシャル層3の厚さが2μm、トレンチ6の深さが2.7μm、厚いゲート熱酸化膜7bの厚さが500nmであるため、p型エビタキシャル層3とn<sup>-</sup>型エビタキシャル層2の境界位置A、厚いゲート熱酸化膜7bの屈曲位置B、薄いゲート熱酸化膜7aと厚いゲート熱酸化膜7bとが接する位置Cの、深さ方向の位置関係が $A < B < C$ になる。

【0019】続いて、図8に示すように、トレンチ6内を、第1及び第2ポリシリコン層8a、8bにより順次埋め戻す。この後、第1及び第2ポリシリコン層8a、

8b上を含めたゲート熱酸化膜7上に、CVD法により層間絶縁層9を形成し、ソースコンタクト予定位置のn<sup>+</sup>ソース領域5とp型エピタキシャル層3の表面上にあるゲート熱酸化膜7と層間絶縁層9を除去する。そして、n<sup>+</sup>ソース領域5とp型エピタキシャル層3及び層間絶縁層9上にソース電極層10を形成するとともに、n<sup>+</sup>型単結晶SiC基板1の裏面にドレイン電極層11を形成して、図1(a)に示すSiCパワーMOSFETを完成させる。

【0020】上記した製造方法によれば、トレンチ6内のダメージ層を犠牲酸化によって除去しているから、トレンチ6の内壁にダメージ層がなく、かつトレンチ6の底部のコーナー部に丸みが付けられた構造となる。従って、p型エピタキシャル層3の表面がチャネルとなつて、ソース・ドレイン間に電流が流れる際のMOS界面特性を向上でき、またトレンチ6の底部のコーナー部に丸みが付けられているのでゲート・ドレイン間の耐圧を高くすることができる。

【0021】なお、特開平7-326755号公報には、上記した犠牲酸化を行わずに縦型パワーMOSFETを製造するものが開示されているが、そのような製造方法であっても、上記したA<B<Cの関係を満たすものであれば、上記したのと同様の効果を得ることができる。また、A、Bの深さ方向の位置関係は、A<BでなくA>Bであってもよいが、A<Bとした方が、チャネル出口領域2a上で薄いゲート熱酸化膜7aが形成される領域が大きくなるため、その領域2aでの電子の蓄積量が大きくなり、オン抵抗をより低減することができる。

【0022】また、トレンチ6の側面は半導体表面に対して垂直であるものに限らず、RIE法の条件を変更して、トレンチ6の側面に対し所望の傾斜角度を有するものであってもよい。なお、本明細書において、六方晶系\*

\*の単結晶SiCの面方位を表す場合、本来ならば所要の数字の上にバーを付した表現をとるべきであるが、表現手段に制約があるため、所要の数字の上にバーを付す表現の代わりに、所要数字の後ろに「-」を付して表現している。

【図面の簡単な説明】

【図1】本発明の一実施形態を示す縦型パワーMOSFETの断面図である。

【図2】図1に示す縦型パワーMOSFETの製造工程を説明するための断面図である。

【図3】図2に続く製造工程を説明するための断面図である。

【図4】図3に続く製造工程を説明するための断面図である。

【図5】図4に続く製造工程を説明するための断面図である。

【図6】図5に続く製造工程を説明するための断面図である。

【図7】図6に続く製造工程を説明するための断面図である。

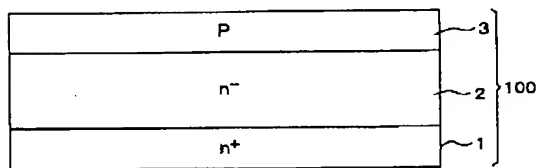
【図8】図7に続く製造工程を説明するための断面図である。

【図9】従来の縦型パワーMOSFETの断面図である。

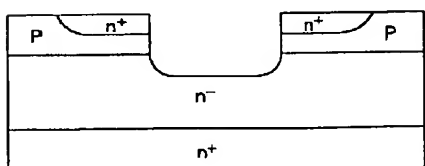
【符号の説明】

1…低抵抗半導体層としての半導体基板、2…高抵抗半導体層としてのn<sup>-</sup>型エピタキシャル層、3…第2導電型の半導体層としてのp型エピタキシャル層、5…半導体領域としてのn<sup>+</sup>ソース領域、6…トレンチ、6a…側面(側部)、6b…底面(底部)、7…ゲート熱酸化膜、8…ゲート電極層、10…第1の電極層としてのソース電極層、11…第2の電極層としてのドレイン電極層、100…SiC基板。

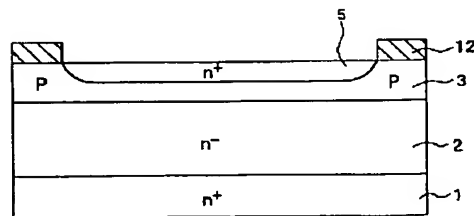
【図2】



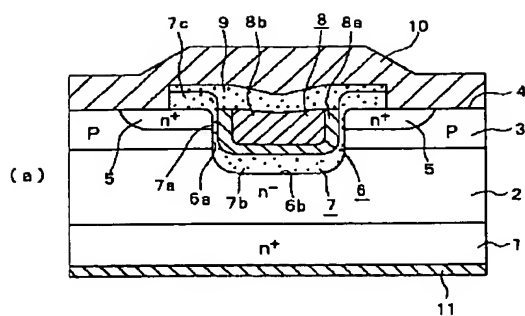
【図6】



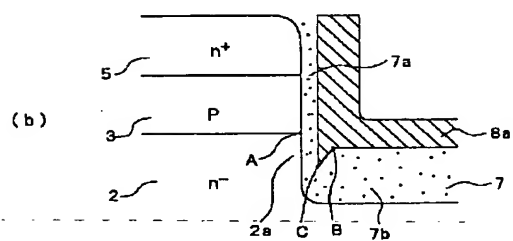
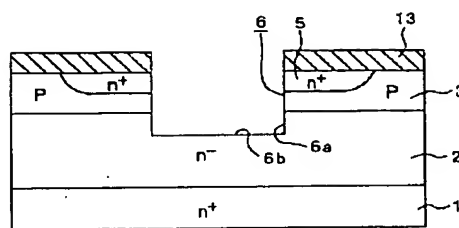
【図3】



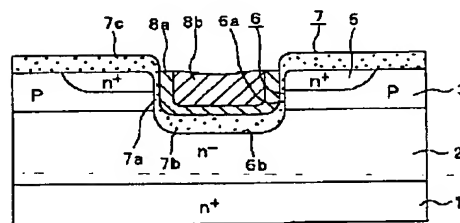
【図1】



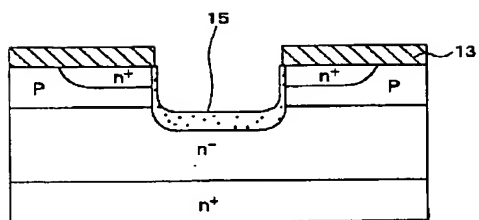
【図4】



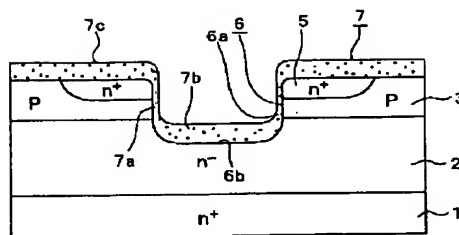
【図8】



【図5】



【図7】



【図9】

